

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Akio KITAMURA et al.

Serial No.: NEW APPLICATION

Group Art Unit:

Filed: August 26, 2003

Examiner:

For: SEMICONDUCTOR DEVICE

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. § 119 is hereby claimed:

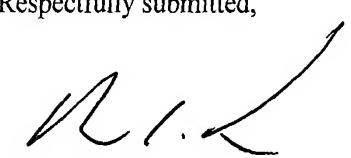
JAPAN 2002-315988 October 30, 2002

In support of this claim, a certified copy of said original foreign application is filed herewith. It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

08/26/03
Date

Attorney Docket: FUJI:272



Marc A. Rossi
Registration No. 31,923

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application: 2002年10月30日

出願番号
Application Number: 特願2002-315988

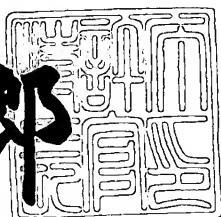
[ST.10/C]: [JP2002-315988]

出願人
Applicant(s): 富士電機株式会社

2003年 6月 5日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3043656

【書類名】 特許願

【整理番号】 02P00127

【提出日】 平成14年10月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

【氏名】 北村 明夫

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

【氏名】 北村 瞳美

【特許出願人】

【識別番号】 000005234

【氏名又は名称】 富士電機株式会社

【代理人】

【識別番号】 100088339

【弁理士】

【氏名又は名称】 篠部 正治

【手数料の表示】

【予納台帳番号】 013099

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715182

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 第1導電型の半導体領域の表面部分に形成された第2導電型のソース領域と、

前記半導体領域の、前記ソース領域から離れた表面部分に形成された第2導電型のドレイン領域と、

前記半導体領域の、前記ソース領域とドレイン領域との間で、前記ソース領域から離れた表面から形成されたトレンチと、

前記トレンチ内に充填された絶縁物と、

前記ドレイン領域と接続され前記トレンチの側面および底面を囲んで前記半導体領域に前記ソース領域から離れて形成された第2導電型のドレインドリフト領域と、

前記半導体領域の、前記ソース領域と前記ドレインドリフト領域との間の表面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記ソース領域に電気的に接続するソース電極と、

前記ドレイン領域に電気的に接続するドレイン電極と、

を具備し、

前記トレンチは、前記ゲート絶縁膜直下に形成されるチャネルの幅方向に複数個形成され、前記トレンチが互いに対向する領域は、前記ドレインドリフト領域／前記半導体領域／前記ドレインドリフト領域の3層からなる箇所を有し、該半導体領域の表面層は前記ドレインドリフト領域が形成されることを特徴とする半導体装置。

【請求項2】 前記ドレインドリフト領域は前記半導体領域より不純物濃度の高い第1導電型のウェル領域内に形成され、前記トレンチが互いに対向する領域は、前記ドレインドリフト領域／前記ウェル領域／前記ドレインドリフト領域の3層からなることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記トレンチに沿って前記ドレインドリフト領域内に形成され

た第1導電型電界緩和層を有することを特徴とする請求項1または2に記載の半導体装置。

【請求項4】前記トレンチ相互間のドレインドリフト領域の表面層にも前記第1導電型電界緩和層を有することを特徴とする請求項3に記載の半導体装置。

【請求項5】前記トレンチが互いに対向する側面に沿って、前記トレンチ内に絶縁物を介して導電体を有することを特徴とする請求項1ないし4のいずれかに記載の半導体装置。

【請求項6】第1導電型の電界緩和層が、前記ドレインドリフト領域と前記トレンチ内の絶縁物との境界部分に設けられていることを特徴とする請求項1ないし5のいずれかに記載の半導体装置。

【請求項7】第1導電型の半導体領域の表面部分に形成された第2導電型のソース領域と、

前記半導体領域の、前記ソース領域から離れた表面部分に形成された第2導電型のドレイン領域と、

前記半導体領域の、前記ソース領域とドレイン領域との間で、前記ソース領域から離れた表面から形成されたトレンチと、

前記トレンチ内に充填された絶縁物と、

前記ドレイン領域と接続され前記トレンチの側面および底面を囲んで前記半導体領域に前記ソース領域から離れて形成された第2導電型のドレインドリフト領域と、

前記半導体領域の、前記ソース領域と前記ドレインドリフト領域との間に表面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記ソース領域に電気的に接続するソース電極と、

前記ドレイン領域に電気的に接続するドレイン電極と、

を具備し、

前記トレンチは、前記ゲート絶縁膜直下に形成されるチャネルの幅方向に複数個形成され、

前記トレンチが互いに対向する側面に沿って、前記トレンチ内に絶縁物を介し

て導電体を有することを特徴とする半導体装置。

【請求項8】前記ソース領域側の前記導電体と前記トレンチとの間の絶縁物の厚さよりも前記ドレイン領域側の前記導電体と前記トレンチとの間の絶縁物の厚さの方が厚いことを特徴とする請求項7に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特にパワーICに用いられる高耐圧MOSFETを構成する半導体装置に関する。

【0002】

【従来の技術】

従来より、縦型MOSFETにおいて、トレンチ内部にゲート電極を埋め込み、トレンチ側面にチャネルを形成するようにした、いわゆるトレンチMOSFETが開発されている。このトレンチMOSFETには、セルピッチを縮小するとTが開発されている。とともに、単位面積あたりのオン抵抗を低減することができるという利点がある。パワーICに搭載される横型MOSFETにおいても、トレンチMOSFETに関するいくつかの提案や報告はなされているが、未だ実用化に至っていない。そのような提案の一つに、図11、図12および図13に示す構成がある（例えば、特許文献1参照。）。図11、12、13は、この内容を示す図面であり、図11は平面図、図12は、図11のK-Lで切断した断面図、図13は、図11のM-Nで切断した断面図である。P型シリコン基板1上にN⁻延長ドレイン領域103が形成され、この領域内に複数のトレンチ102が形成されている。トレンチ102の周りには側面P型拡散層114が形成されている。また、N⁻延長ドレイン領域103内にはP型拡散層115が形成されている。トレンチ102を形成し、トレンチ102の周囲にP型拡散層114、115が形成され、トレンチ102を形成するため、P型シリコン基板101および上側のP型拡散層114からのPN接合では空乏化できなかったN⁻延長ドレイン領域103が空乏化され、N⁻延長ドレイン領域103の全域が容易に空乏化できるようになる。そして、N⁻延長ドレイン領域103を従来より低抵抗にしても、ドレイン・ソース間に乗じた電

圧を緩和できる距離まで空乏層を伸ばすことが可能である。

【0003】

【特許文献1】

特開平9-321291号公報（第3～4頁、図1～4）

【0004】

【発明が解決しようとする課題】

本発明は、特にドレイン抵抗の装置全抵抗に占める割合の高い、50V以上の耐圧を有する横型高耐圧トレンチMOSFETにおいて、必要耐圧を確保しつつオン時には前記した従来技術のものよりも単位面積あたりのオン抵抗を低減することができる構造の半導体装置を提供することを目的とする。

【0005】

【課題を解決するための手段】

上記目的を達成するため、本発明にかかる半導体装置は、第1導電型の半導体領域の表面部分に形成された第2導電型のソース領域と、

前記半導体領域の、前記ソース領域から離れた表面部分に形成された第2導電型のドレイン領域と、

前記半導体領域の、前記ソース領域とドレイン領域との間で、前記ソース領域から離れた表面から形成されたトレンチと、

前記トレンチ内に充填された絶縁物と、

前記ドレイン領域と接続され前記トレンチの側面および底面を囲んで前記半導体領域に前記ソース領域から離れて形成された第2導電型のドレインドリフト領域と、

前記半導体領域の、前記ソース領域と前記ドレインドリフト領域との間に表面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記ソース領域に電気的に接続するソース電極と、

前記ドレイン領域に電気的に接続するドレイン電極と、

を具備し、

前記トレンチは、前記ゲート絶縁膜直下に形成されるチャネルの幅方向に複数

個形成され、前記トレンチが互いに対向する領域は、前記ドレインドリフト領域／前記半導体領域／前記ドレインドリフト領域の3層からなる箇所を有し、該半導体領域の表面層は前記ドレインドリフト領域が形成されるものである。

【0006】

この発明によれば、オン時に、トレンチ側面、トレンチ底面および基板表面の3経路で電流が流れることにより、単位面積あたりのオン抵抗を低くできる。複数のトレンチのそれぞれの間には第2導電型のドレインドリフト領域／第1導電型の半導体領域／第2導電型のドレインドリフト領域の3層構造が形成されてい、トレンチの側面に半導体領域が存在しないものと比べるとpn接合部の面積が増え、ドレインドリフト領域のN型不純物濃度に対するP型不純物濃度の割合が増えることからドレインドリフト領域全域を容易に空乏化できる。よってドレインドリフト領域を高濃度化することができるため、耐圧と単位面積あたりのオン抵抗のトレードオフが改善される。

【0007】

また、本発明にかかる半導体装置は、前記トレンチに沿ってドレインドリフト領域内に形成された第1導電型電界緩和層を有するものとする。

この発明によれば、半導体領域と電界緩和層にドレインドリフト領域が挟まれ、それぞれのpn接合から空乏層が拡がるため、ドレインドリフト領域をさらに低抵抗化することができ、オン抵抗を低減できる。

また、前記トレンチ内にトレンチが互いに対向する側面に絶縁膜を介して導電体を有するものとする。

この発明によれば、導電体がフィールドプレート効果を有し、対向するトレンチ側面のドレインドリフト領域の空乏化が促進されるため、高濃度とすることができ装置を低抵抗とすることができます。この場合、トレンチが互いに対向するトレンチ間がドレインドリフト領域のみで形成されているものについても有効である。

【0008】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。なお

、各図においては付記した寸法を厳密に反映しているわけではない。以下の各実施の形態においては、P型を第1導電型とし、N型を第2導電型として説明するが、本発明はその逆でも成り立つのは勿論である。

実施の形態1.

図1は、本発明の実施の形態1にかかる半導体装置の要部を示す平面図である。

【0009】

この半導体装置は、P型の半導体領域1、トレンチ2、N⁻ドレインドリフト領域3、トレンチ2内を埋める絶縁物4、Pウェル領域5、Pベース領域6、N⁺ソース領域7、N⁺ドレイン領域8、酸化物よりなるゲート絶縁膜9、ポリシリコンよりなるゲート電極10、層間絶縁膜11、ソース電極12、ドレイン電極13、パッセーション膜14、およびモールド樹脂15を備えており、横型トレンチMOSFETを構成する。ここでPウェル領域5は形成されなくとも構わない。

図2は、図1に記すA-Bで切断した断面図であり、図3は、図1に記すC-Dで切断した要部断面図である。

【0010】

トレンチ2は、P型半導体領域1の表面部分において、その表面から形成されており、絶縁物4で充填されている。N⁻ドレインドリフト領域3はトレンチ2の側面および底面を囲むように形成されている。Pウェル領域5は、N⁻ドレインドリフト領域3の外側に隣接して形成される。N⁺ソース領域7は、Pベース領域6の表面部部において、N⁻ドレインドリフト領域3から離れて形成されており。N⁺ドレイン領域7は、N⁻ドレインドリフト領域3の、トレンチ2に対しドレイン側（ソース側の反対側）の表面部分に形成されている。

ゲート絶縁膜9は、N⁺ソース領域7からN⁻ドレインドリフト領域3のソース側部分に至る表面上に形成されている。ゲート電極10はゲート絶縁膜9上に、基板表面に対して平行に形成されており、さらに、トレンチ2の上まで伸長されている。層間絶縁膜11はゲート電極10およびトレンチ2の上部を覆っている。ドレイン電極13は、N⁺ドレイン領域7に電気的に接続しており、層間絶縁。

膜11の表面に沿ってトレンチ2の上まで、基板表面に対して平行に伸長されている。ソース電極12は、Pベース領域6およびN⁺ソース領域7に電気的に接続しており、層間絶縁膜11の表面に沿ってトレンチ2の上まで、基板表面に対して平行に伸長されている。ドレイン電極13とソース電極12とは当然のことながら離れており、絶縁されている。パッシバーション膜14は半導体装置全体を被覆している。モールド樹脂15は、上述した構成の半導体装置を気密封止する。

【0011】

図3に示すとおり、本発明は、トレンチ2の間にP型の不純物領域であるPウェル領域5が存在する。

つぎに、図1に示す構成の半導体装置の製造方法について説明する。比抵抗が10～15ΩcmのP型CZ基板の表面層に選択的に、表面不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度のPウェル領域5を4μmの深さで形成する。Pウェル領域5内に、トレンチ2を長さ3μm、幅2μm、深さ2μm、トレンチの間隔3μmで、ゲート絶縁膜8直下の半導体領域1の表面層に形成されるチャネルの幅方向に、複数個形成する。その側面には斜めイオン注入で、底面には垂直にイオン注入で、P31を $6 \times 10^{12} \text{ cm}^{-2}$ 程度注入する。その後トレンチ側面と底面を熱酸化により酸化し、さらにCVD酸化膜によりトレンチ2を充填する。

【0012】

次に、マスクを形成し、トレンチ2の間の半導体領域1表面に、P31を $6 \times 10^{12} \text{ cm}^{-2}$ 程度注入する。その後1150℃60分ドライブをし、トレンチ側面、トレンチ底面およびトレンチの間にN⁻ドレインドリフト領域3を形成する。N⁻ドレインドリフト領域3の他の製造方法としては、トレンチ2を形成後、トレンチ2内に、減圧CVDにより、シランおよびリンドープ用にホスフィンを用いて、ドープドポリシリコン膜を堆積し、その後ドライブを行うことが挙げられる。

その後、200Åのゲート絶縁膜9を形成し、その上にポリシリコンを堆積し、フォトエッチング技術によりゲート電極10を形成する。このゲート電極10のドレイン側の端はトレンチ2上に張り出して形成される。ゲート電極10のもう

一方の端部（ソース側の端部）によるセルフアラインで、半導体領域1の表面部一分にPベース領域6、N⁺ソース領域7を形成する。Pベース領域6が、N⁺ソース領域7の底部及び側面を囲む。N⁺ソース領域7と同時、または別々にトレンチ2の反対側のN⁻ドレインドリフト領域3の表面部分にN⁺ドレイン領域8を形成する。層間絶縁膜11を堆積した後、ソース電極12をトレンチ2上に張り出成する。層間絶縁膜11を堆積した後、ソース電極12をトレンチ2上に張り出成する。最後して形成し、またドレイン電極13をトレンチ2上に張り出して形成する。最後に、プラズマ窒化膜よりなるパッシバーション膜14を被着し、モールド樹脂中に、封入する。従来の横型DMOSFETの製造工程に、トレンチ2の形成工程およびトレンチ2を埋める絶縁物4の充填工程が増えるだけで、特に困難な工程はない。

【0013】

上述した実施の形態1によれば、トレンチ2を複数形成しその側面にもN⁻ドレインドリフト領域3が形成されるためトレンチ2の側面にも電流が流れ、オレンジ抵抗が低減し、さらに、複数のトレンチ2の間にP型不純物領域であるPウェル領域5が存在する構成とすることで、N⁻ドレインドリフト領域3とPウェル領域5とのpn接合面積が増え、N⁻ドレインドリフト領域3の空乏化を促進する。N⁻ドレインドリフト領域3を高濃度化することができるため、耐圧と単位面積あたりのオン抵抗のトレードオフが改善される。

この実施の形態では、Pウェル領域5を形成したが、複数のトレンチ2の間がP型の領域であればよく、Pウェル領域5は形成されなくともよい。Pウェル領域5を形成しない場合は、P型半導体領域1がその領域に存在し、上記に述べた作用効果を奏するものである。

実施の形態2。

図4は、本発明の実施の形態2にかかる半導体装置の要部を示す図であり、(a)は要部斜視図、(b)はE-Fで切断した要部断面図である。実施の形態2は、実施の形態1のトレンチ2側面および底面にN⁻ドレインドリフト領域3よりも浅いP⁻電界緩和層16を形成したものである。なお、Pウェル領域5は形成していないが形成しても勿論かまわない。

【0014】

P^- 電界緩和層16を形成することにより、 N^- ドレインドリフト領域3は半導体領域1と P^- 電界緩和層16とに挟まれる構成となり、 N^- ドレインドリフト領域3は P ウェル領域5および P^- 電界緩和層16の両方から空乏化される。

域3は P ウェル領域5および P^- 電界緩和層16をさらに設けた構成によって、例えば実施の形態1において P^- 電界緩和層16をさらに設けた構成とすると、 N^- ドレインドリフト領域3の高濃度化が可能となる。

特に複数のトレンチ2の間は図4 (b) に示すように、 P^- 電界緩和層16/ N^- ドレインドリフト領域3/ P 型半導体領域1/ N^- ドレインドリフト領域3/ P^- 電界緩和層16からなる5層構成となっているため、最適化によってスーパージャンクションを形成し得る。これにより単位面積あたりのオン抵抗を低減することができる。

【0015】

つぎに、図4に示す構成の半導体装置の製造方法について説明する。比抵抗が1.0~1.5 $\Omega \text{ cm}$ のP型CZ基板の表面層に選択的に、トレンチ2を長さ3 μm 、幅2 μm 、深さ2 μm 、トレンチの間隔3 μm で、ゲート絶縁膜8直下の半導体領域1の表面層に形成されるチャネルの幅方向に、複数個形成する。その側面には斜めイオン注入で、底面には垂直にイオン注入で、リンを注入する。その後トレンチ2の側面および底面に N^- ドレインドリフト領域3と同様にボロンをイオン注入する。その後トレンチ側面と底面を熱酸化により酸化し、さらにCVD酸化膜によりトレンチ2を充填する。

次に、マスクを形成し、トレンチ2の間の半導体領域1表面に、リンを注入する。その後1150°C 60分ドライブをし、トレンチ側面、トレンチ底面に P^- 電界緩和層16を形成する。 P^- 電界緩和層16の表面濃度は $1 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度が望ましい。その後は、実施の形態1と同様に形成する。このように、形成された横型MOSFETは、ドレインドリフト領域3の濃度を高濃度とすることができるためオン抵抗を低減できる。

実施の形態3。

図5は、本発明の実施の形態3にかかる半導体装置の要部断面図である。

【0016】

実施の形態3は、実施の形態2において形成された P^- 電界緩和層16を複数

のトレンチ2に挟まれた半導体領域1の表面層にも形成したものである。

このような構成とすると、半導体領域1の表面層に形成されたN⁻ドレインドリフト領域3も高濃度化することができ、実施の形態2に比べさらにオン抵抗を低減することができる。

つぎに、図5に示す構成の半導体装置の製造方法について説明する。CVD酸化膜によりトレンチ2を充填するまでは、実施の形態2と同様に形成する。

次に、マスクを形成し、トレンチ2の間の半導体領域1表面に、リンをイオン注入し、さらに、ボロンをイオン注入する。その後1150°C 60分ドライブをし、トレンチ2の側面、底面およびトレンチの間の半導体領域1の表面層にN⁻ドレインドリフト領域3および電界緩和層16を形成する。その後は、実施の形態2と同様に形成する。このように形成することで、実施の形態2よりもN⁻ドレインドリフト領域3の不純物濃度を高くすることができるので、オン抵抗を低減できる。

実施の形態4。

図6は、本発明の実施の形態4にかかる半導体装置の要部を示す図であり、(a)は要部斜視図、(b)はG-Hで切断した要部断面図である。

【0017】

実施の形態4は、実施の形態1のトレンチ2内に図示しない絶縁物4を介して導電体17を形成したものである。この導電体17は、層間絶縁膜10を貫通するコンタクト部(図示せず)を形成して、このコンタクト部を介して例えばソース電極12に電気的に接続されている。なお、Pウェル領域5は形成していない。

導電体17のフィールドプレート効果により、複数のトレンチ2間のN⁻ドレインドリフト領域3が空乏化されるので、N⁻ドレインドリフト領域3の高濃度化により、単位面積あたりのオン抵抗が低減される。

【0018】

つぎに、図6に示す構成の半導体装置の製造方法について説明する。比抵抗が10~15ΩcmのP型CZ基板の表面層に選択的に、トレンチ2を長さ3μm、幅1μm、深さ2μm、トレンチの間隔を3μmで、ゲート絶縁膜8直下の半

図7は、本発明の実施の形態5にかかる半導体装置の要部断面図である。

[0019]

実施の形態5は、実施の形態4において形成された複数のトレンチ2に挟まれる領域がN⁻ドレインドリフト領域3で占められており、半導体領域1が存在しない。この構成では、導電体17により複数のトレンチ2に挟まれた領域のN⁻ドレインドリフト領域3の空乏化を図ることができる。製造方法としては、トレンチの間隔を1μmに変更して形成する以外は実施の形態4と同様に形成できる。

実施の形態 6.

図8は、本発明の実施の形態6にかかる半導体装置の要部断面図である。

[0020]

実施の形態6は、実施の形態4において形成された導電体17の変形例を示すものであり、実施の形態4において一つのトレンチ2内に2つの導電体17を形成していたものを本実施の形態では一つのみとしたものである。トレンチ2内に導電体17を一つのみ形成すればよいので、実施の形態4に比べてトレンチの幅を狭くすることができ、よって、トレンチ2の数を増やすことができるためオン抵抗をさらに低減できる。この実施の形態では、トレンチ幅を1μmとした。

実施の形態 7.

実施の形態7
図9は、本発明の実施の形態7にかかる半導体装置の要部を示す図であり、(a)はトレンチ部の平面図であり、(b)および(c)はその変形例を示すトレンチ部の平面図である。

【0021】

図9 (a) は、トレンチ2内に絶縁物4を埋め込んだ後、絶縁物4にトレンチを形成し、導電体17をトレンチ2の側面に平行に埋め込んだものであり、さらに、ドレン側のトレンチからの距離x1の方が、ソース側のトレンチからの距離w1より大きくなっている。これは、図10に(a)に示すように、等電位線がドレン側で集中するため、この集中を緩和させるため絶縁物を厚くし、かつ導電体17は、ソース側側面においてもフィールドプレート効果によりN-ドレインドリフト領域を高濃度にできるため、ソース側は薄く形成したものである。

【0022】

さらに図9 (b) および (c) は、トレンチ2内に形成した導電体17が幅方向の側面と平行となっておらず、ドレン側の絶縁物4の厚さx2, x3およびz1, z2がソース側の絶縁膜4の厚さw2, w3およびy1, y2より厚くなっている。この構成は素子の耐圧を高くした場合に有効である。図10 (b) に記載のように図10 (a) に比べて等電位線を緩和することができる。しかしながら、絶縁物4を厚くするとフィールドプレート効果が小さくなるため、ソース側の絶縁物4は、できるだけフィールドプレート効果を作用させるために薄く形成する。

【0023】

以上において本発明は、上述した各実施の形態に限らず、種々変更可能である。また、実施の形態1～実施の形態4を任意に組み合わせることができる。

【0024】

【発明の効果】

本発明によれば、MOSFETのチャネル幅方向に複数のトレンチを有し、トレンチの底面および側面にN-ドレインドリフト領域が形成される半導体装置において、トレンチ間にP型不純物領域を有するため、N-ドレインドリフト領域を高濃度化することができるため、耐圧と単位面積あたりのオン抵抗のトレードオフが改善された半導体装置を提供できる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1にかかる半導体装置の要部を示す平面図である。

【図2】

図1のA-Bで切断した断面図である。

【図3】

図1のC-Dで切断した要部断面図である。

【図4】

本発明の実施の形態2にかかる半導体装置の要部を示す図で、(a)は斜視図であり(b)はE-Fで切断した断面図である。

【図5】

本発明の実施の形態3にかかる半導体装置の要部を示す図で、(a)は斜視図であり(b)はG-Hで切断した断面図である。

【図6】

本発明の実施の形態4にかかる半導体装置の要部を示す図で、(a)は斜視図であり(b)はI-Jで切断した断面図である。

【図7】

本発明の実施の形態5に係る半導体装置の要部断面図である。

【図8】

本発明の実施の形態6に係る半導体装置の要部断面図である。

【図9】

本発明の実施の形態7に係る半導体装置の要部を示す図であり、(a)はトレンチ部の平面図であり、(b)および(c)はその変形例を示すトレチ部の平面図である。

【図10】

本発明の導電体の作用を示す要部平面図である。

【図11】

従来の半導体装置の要部を示す平面図である。

【図12】

図7のK-Lで切断した断面図である。

【図13】

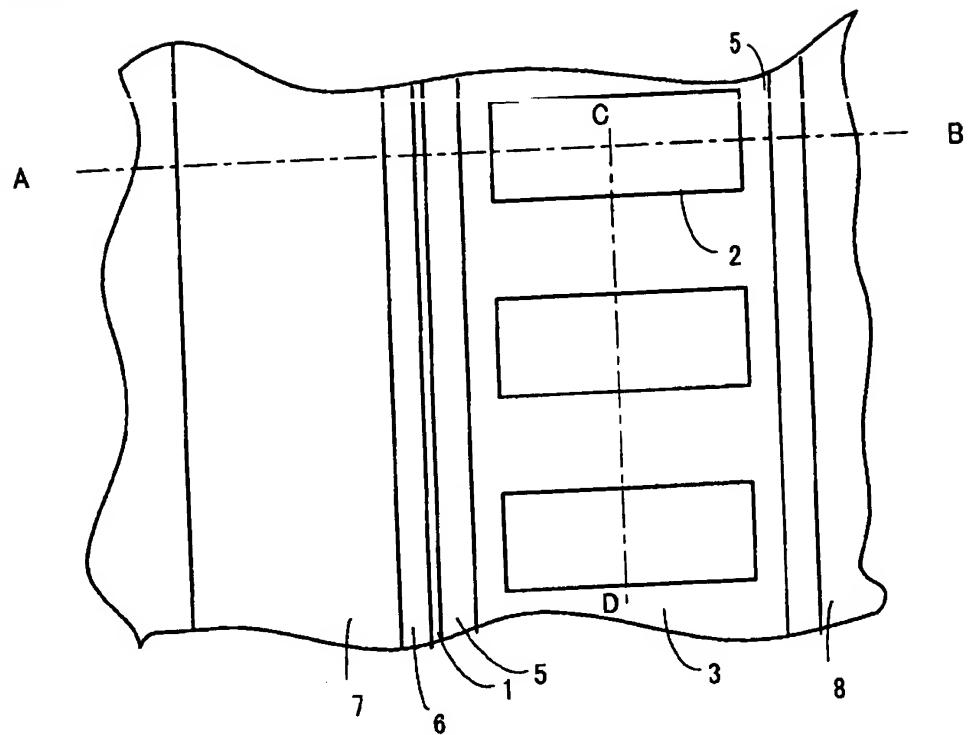
図7のM-Nで切断した断面図である。

【符号の説明】

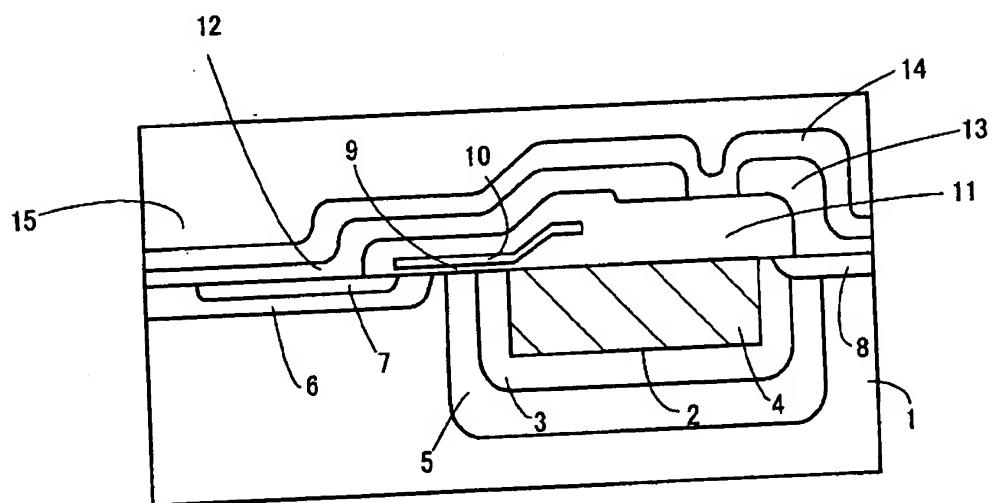
- 1 半導体領域
- 2 トレンチ
- 3 N⁻ドレインドリフト領域
- 4 絶縁物
- 5 Pウェル領域
- 6 Pベース領域
- 7 N⁺ソース領域
- 8 N⁺ドレイン領域
- 9 ゲート絶縁膜
- 10 ゲート電極
- 11 層間絶縁膜
- 12 ソース電極
- 13 ドレイン電極
- 14 パッシバーション膜
- 15 モールド樹脂
- 16 電界緩和層
- 17 フィールドプレートとなる導電体

【書類名】 図面

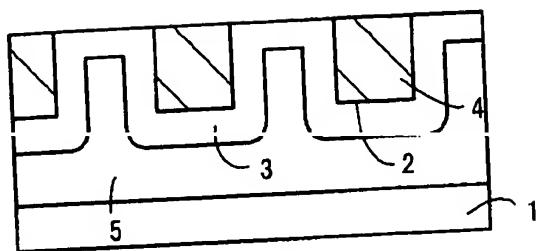
【図1】



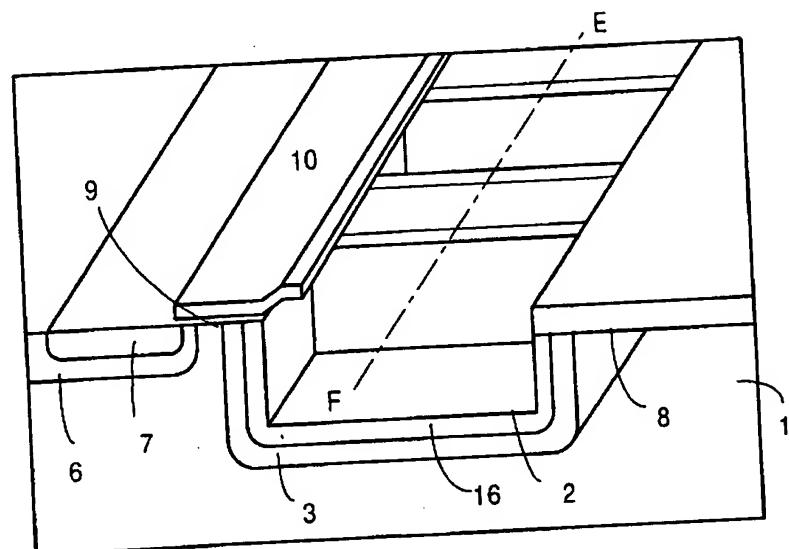
【図2】



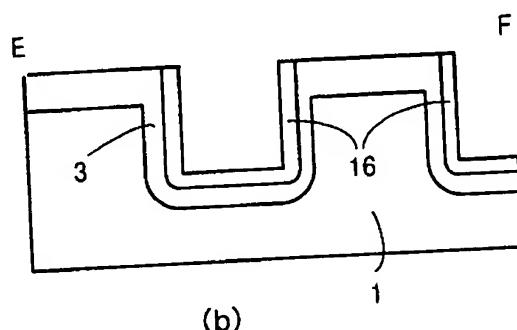
【図3】



【図4】

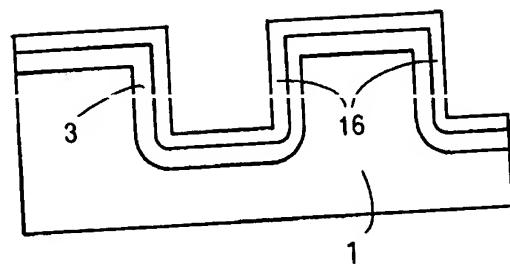


(a)

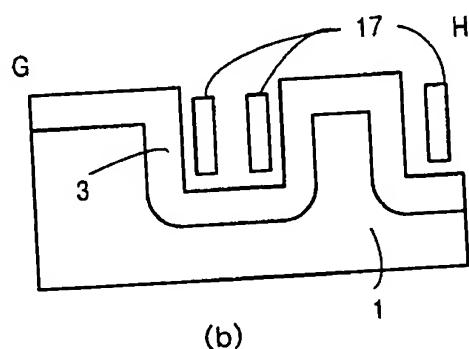
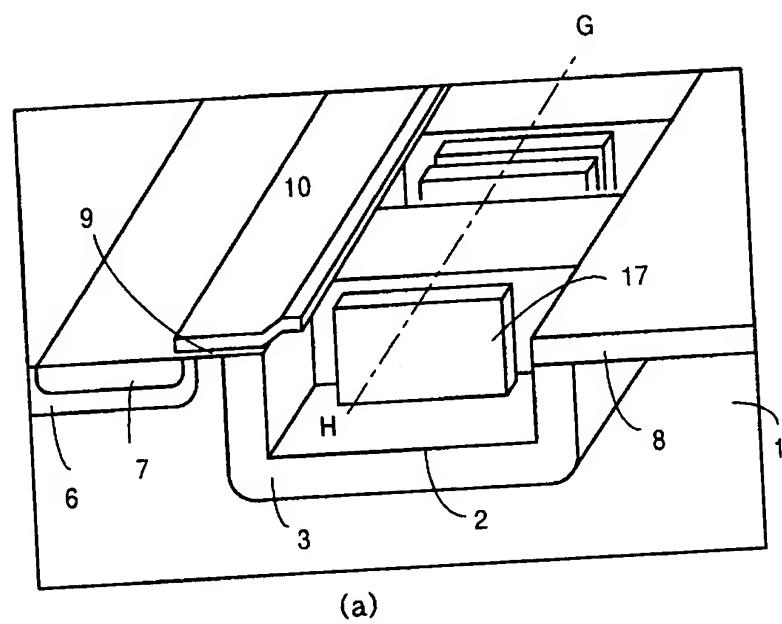


(b)

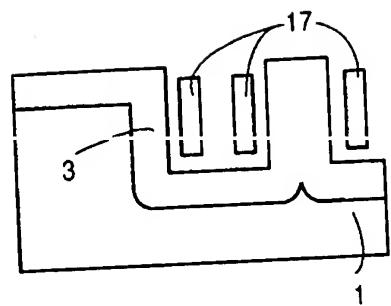
【図5】



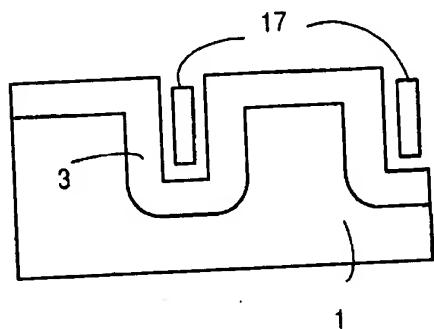
【図6】



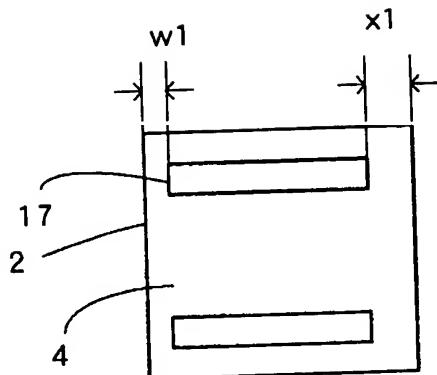
【図7】



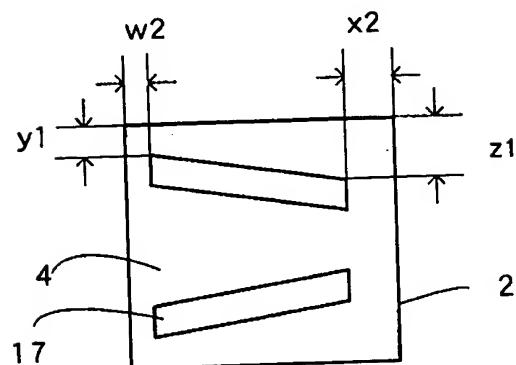
【図8】



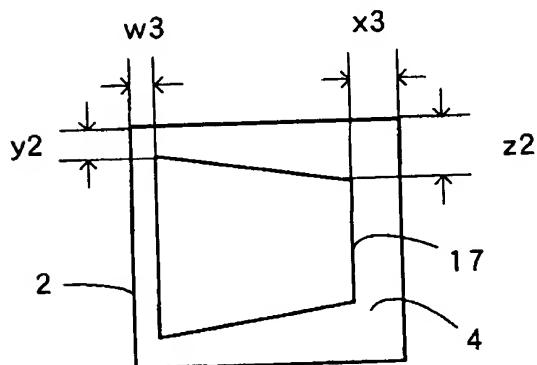
【図9】



(a)

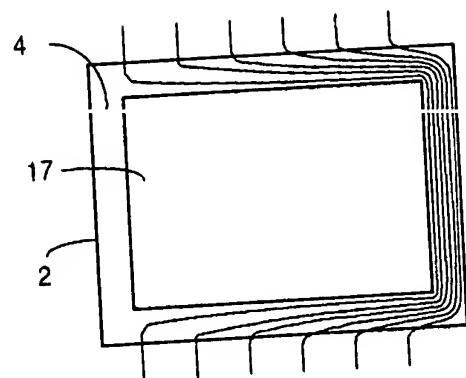


(b)

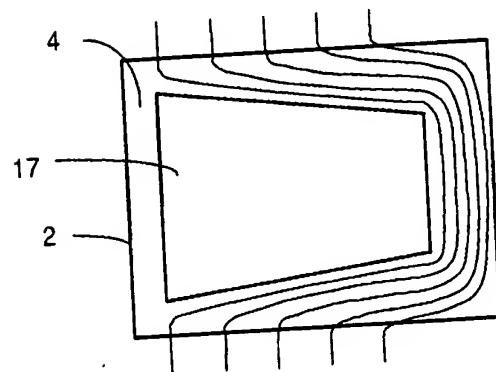


(c)

【図10】

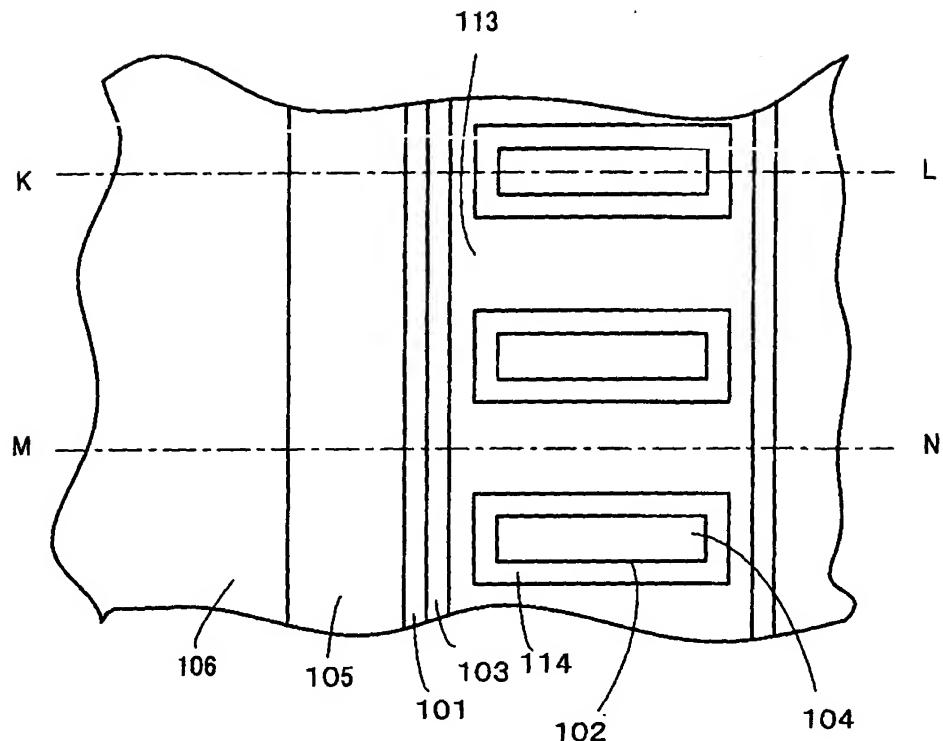


(a)

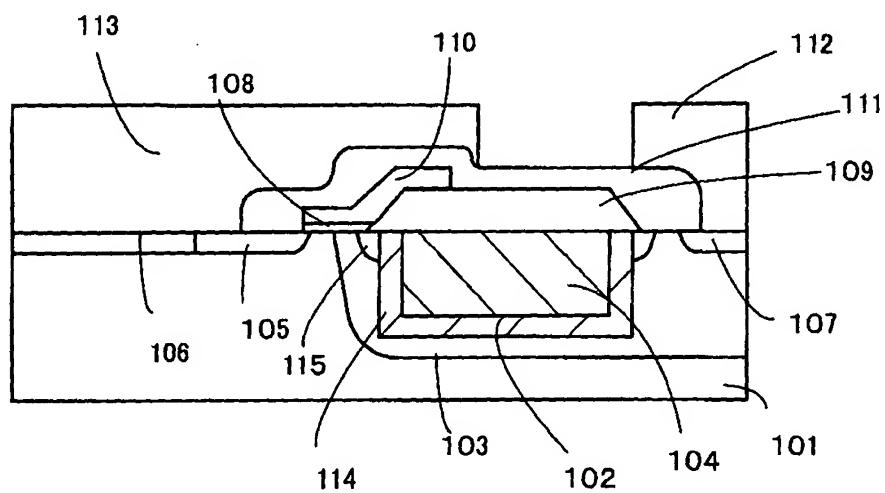


(b)

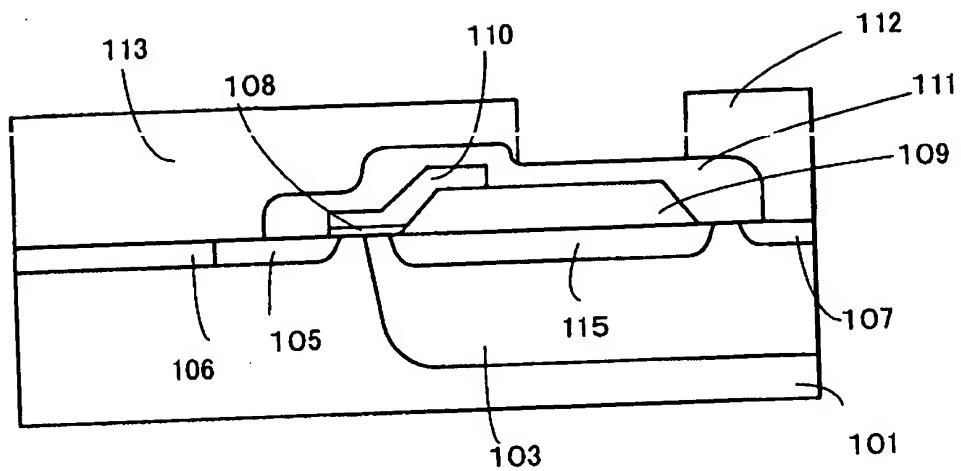
【図11】



【図12】



【図13】



【書類名】 要約書

【要約】

【課題】 単位面積あたりのオン抵抗を低減した半導体装置を提供する。

【解決手段】 第1導電型の半導体基板1にトレンチ2を、チャネル幅方向に複数個形成し、このトレンチ2の側面および底面を囲むように第2導電型ドレインドリフト領域3を形成し、トレンチ2の内部を絶縁物4で充填した、横型高耐圧MOSFETにおいて

複数個のトレンチの間に第1導電型不純物領域を有するものとする。

【選択図】 図3

出願人履歴情報

識別番号 [00005234]

1. 変更年月日 1990年 9月 5日

[変更理由] 新規登録

住 所 神奈川県川崎市川崎区田辺新田1番1号

氏 名 富士電機株式会社